

Circuite logice programabile și aplicațiile lor

Descrierea CIP a Bibliotecii Naționale a României

GONTEAN, AUREL

**Circuite logice programabile și aplicațiile lor / Gontean
Aurel, Iulian Niță. - București : Editura Academiei Oamenilor
de Știință din România, 2011**

Bibliogr.

Index

ISBN 978-606-8371-34-4

I. Niță, Iulian,

004

Editura Academiei Oamenilor de Știință din România

Adresa: Splaiul Independenței, nr. 54, sectorul 5, cod 050094 București, România

Redactor: ing. Mihail CĂRUȚAȘU

Documentarist: ing. Ioan BALINT

Coperta: ing. sist. Adrian Nicolae STAN

**Copyright © Editura Academiei Oamenilor de Știință din România,
București, 2011**

Gontean Aurel

Iulian Niță

Circuite logice programabile și aplicațiile lor



Editura Academiei Oamenilor de Știință din România

București

2011

PREFATĂ

Acesta *nu* este un curs de VHDL (sau PLC) și nici unul de circuite (structuri) logice programabile. Acest lucru este imposibil de realizat în numărul de pagini afectat disciplinei. Și nici nu servește scopului programului. VHDL este un limbaj complex, care se învață greu (doar specificațiile au peste 300 pagini). Pe de altă parte un subset minimal, universal se poate deprinde ușor – iar cu acest bagaj de cunoștințe utilizatorul poate să se aventureze în experiența unică a proiectării sistemelor numerice complexe.

Am preferat un set de exemple simple și medii, comentate, bine structurate și care să acopere toate elementele esențiale din proiectarea sistemelor numerice. Lectura acestei cărți trebuie completată cu partea de aplicații practice în care sunt descrise pe larg etapele implementării concrete într-un FPGA și este util a se întregi cu titlurile prezentate la bibliografie.

Uneltele de dezvoltare sunt accesibile:

- o *placă de dezvoltare* Basys sau Nexsys2 de la Digilent (costă în regim academic între 50 și 100 USD);

- *pachetul software* ISE Webpack de la Xilinx, se poate descărca gratuit de pe Internet;

- *pachetul software* Aldec Active HDL, Student edition, se poate descărca gratuit de pe Internet, dar licența trebuie reînnoită anual;

- un *editor de text contextual*, NotePad++, (opțional), se poate descărca gratuit de pe Internet.

Circuitele **FPGA** au progresat foarte mult în ultimii ani – performanțele au crescut iar prețul lor a scăzut. În prezent nu este neobișnuit un FPGA echivalent cu milioane de porți, cu tact de peste 100 MHz, la un preț de nici 10 USD. Acest aspect compinat cu Soft-IP-urile gratuite și licențiabile face ca dezvoltarea

sistemelor înglobate (*embedded systems*) să se modifice permanent prin includerea FPGA în tot mai multe proiecte. Mai mult, o dată cu apariția PicoBlaze (procesor de tip Soft-IP gratuit, sintetizabil în FPGA) dar și a rudelor mai performante (MicroBlaze și PowerPC) această proiectare nu va mai fi niciodată la fel. Nici nu se putea altfel – pur și simplu nu se poate desena o schemă cu zeci sau sute de mii de porți! În acest context au apărut și alte soluții, respectiv utilizarea unor limbaje de nivel înalt pentru sinteza soluțiilor numerice în FPGA. Un prim exemplu este Simulink/Matlab cu System Generator iar un al doilea este Labview cu FPGA Toolbox (Placa Spartan 3E Starter Kit are chiar drivere Labview disponibile și programarea ei permite bucle la 20 ns, o performanță greu de imaginat acum câțiva ani).

Aurel-Ștefan GONTEAN,
Timișoara, mai 2011

CUPRINS

1. Placa de dezvoltare cu FPGA NEXSYS2	1
Caracteristici generale	1
Alimentarea plăcii	3
Configurarea FPGA-ului și a memoriei Platform Flash	4
Semnalul de tact	6
Porturi I/O	6
Intrări: comutatoare și butoane	6
Ieșiri: LED-uri	7
Ieșire: Afișaj cu 7 segmente	7
2. Circuite logice combinaționale	11
Circuite combinaționale elementare	11
Circuite cu porți	11
Multiplexoare	12
Multiplexor 2:1 (canalul cu lățimea de 1 bit)	12
Multiplexor 2:1 (canalul cu lățimea de 8 biți)	13
Multiplexor 4:1 (canalul cu lățimea de 8 biți)	13
Codificator prioritar	21
Decodificator	22
Decodificator BCD – 7 segmente	24
Comparatoare	31
Circuite de generare și verificare a parității	32
Multiplicatoare	33
Unități aritmetice și logice	33
Circuite de validare a majorității	35

3. Circuite secvențiale	37
Latch-uri și bistabile	37
Introducere	37
Latch-ul de tip D	38
Bistabilul de tip D	40
Registre	42
Registru PIPO generic	42
Registru SISO – studiu de caz	44
Registru SISO cu intrare de reset	47
Registru SISO generic	49
Registru universal, generic	50
Numărător în inel	52
Numărător în inel – proiect ierarhic	54
Numărător Johnson	58
Conversie paralel – serie	59
Conversie serie – paralel (recepție de date seriale)	61
Numărător binar	63
Numărător sincron pe 4 biți modulo m cu intrare de reset	64
Numărător generic	65
Numărător universal	66
Numărător modulo-m cu inițializare	68
Numărător modulo-m cu validare	69
Cascadarea numărătoarelor	70
Divizor de frecvență special	72
4. Automate elementare secvențiale	75
Generalități	75
AES cu o singură fază	78
Opțiuni de codare	81
Exemplu – AES Moore	84

Exemplu – AES Mealy	86
5. Aplicații FPGA în automatizări	89
Modulul LabVIEW FPGA	89
Mediul de programare LabVIEW – aspecte generale	89
Programarea FPGA cu LabVIEW FPGA	91
Comparație între programarea FPGA în VHDL și în LabVIEW	95
Controlul cu algoritmul PID	96
Regulatorul PID	96
Acordarea regulatorului PID	100
Implementarea regulatorului PID în sisteme digitale	101
Limitările algoritmului PID	102
Modelarea mișcării pendulului inversat	103
Implementare	105
Generarea secvenței de comandă pentru motorul BLDC	106
Achiziția și filtrarea semnalelor de la senzorii Hall	107
Protecția la schimbarea sensului de rotație al motorului	108
Generarea semnalului PWM	109
Implementarea buclei de reglare	110
Interfața cu utilizatorul	111
Bibliografie	113

1. PLACA DE DEZVOLTARE CU FPGA NEXSYS2

Caracteristici generale

Placa de dezvoltare Nexys2 este o platforma completă de dezvoltare, gata a fi utilizată bazată pe FPGA –ul Spartan 3E de la firma Xilinx. Printre caracteristicile care o fac o platformă ideală de dezvoltare pentru sistemele digitale de orice fel se numără portul USB2 de viteză mare, cei 16Mb de memorie RAM și ROM, câteva dispozitive și porturi de I/O. Portul USB2 asigură alimentarea plăcii dar și interfața de programare, astfel încât placa Nexys2 poate fi folosită și cu notebook-uri pentru a crea o „stație” de proiectare cu adevărat portabilă.

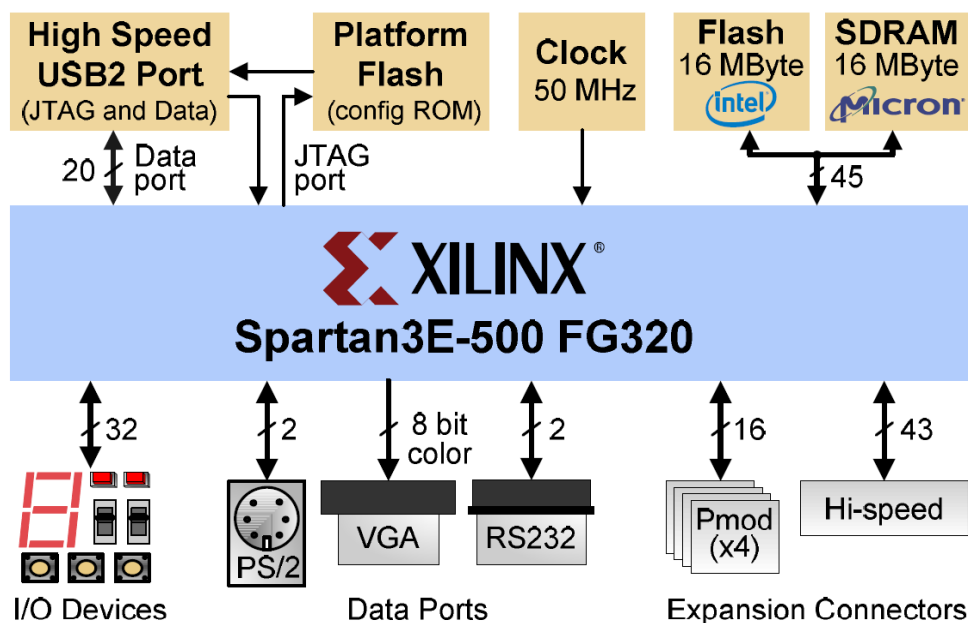


Figura 1.1. Arhitectura plăcii de dezvoltare Nexsys2 de la Digilent

Sunt disponibile 4 conectoare de expansiune de 12 pini ce acceptă module de extensie de tipul Pmod (Peripheral Module). Astfel pot fi adăugate plăcii facilități de tip – control pentru motoare, conversii Analog Numerice și Numeric Analogic, circuite audio și interfețe pentru senzori și actuatori. Toate liniile accesibile pentru utilizator sun protejate la scurt circuit și la descărcări electrostatice ESD, ceea ce asigură plăcii o durată de funcționare lungă în orice mediu. Această placă e complet compatibilă cu uneltele software de la Xilinx inclusiv cu versiunea gratis WebPack.

Caracteristici:

- 500K-porti Xilinx Spartan 3E FPGA
- USB2-port de configurare, alimentare și transmisie date cu viteză mare
- Alimentare prin USB, prin adaptor de perete sau de la baterii
- 16MB memorie Micron PSDRAM & 16MB memorie Intel StrataFlash ROM
- Memorie Xilinx Platform Flash pentru configurarea non volatilă a FPGA-ului
- Alimentare eficientă folosind regulatoare în comutație – foarte utile pentru aplicați alimentate la baterii.
- Oscilator de bază de 50MHz + un soclu pentru un al doilea oscilator pe placă
- 60 de linii de I/O ale FPGA-ului sunt rutate către conectorii de expansiune: 1 conector de mare viteză de tip Hirose FX2 și 4 conectoare de 12 pini pentru module de tip Pmod
- 8 LED-uri, un afișaj de 4 caractere de 7 segmente, 4 butoane, 8 comutatoare

Alimentarea plăcii

Placa Nexys2 poate fi alimentată de la un cablu USB, de la un adaptor de perete ce furnizează între 5V și 15V tensiune continuă, sau de la un set de baterii. Selecția sursei de alimentare se face cu ajutorul unui bloc de jumperi prezenți pe placă. Circuitul USB este întotdeauna alimentat doar din cablul USB – dacă cablul USB nu este conectat, circuitul USB nu este alimentat.

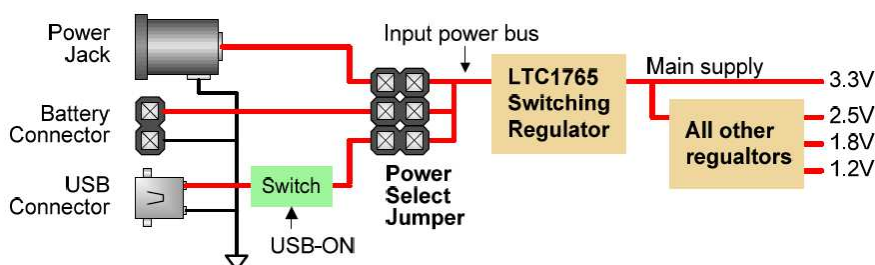


Figura 1.2. Blocul de alimentare

Linia de tensiune de intrare alimentează un regulator de tensiune de 3.3V care asigură alimentarea cu tensiune pentru întreaga placă. Anume circuite necesită 2.5V, 1.8V și chiar 1.2V. Aceste tensiuni sunt produse de regulatoare ce folosesc ca tensiune de intrare tensiunea de 3.3V. Aceste tensiuni sunt generate de regulatoare în comutație de înaltă eficiență produse de firma Linear Technology. Aceste regulatoare nu numai că folosesc eficient tensiune de pe cablul USB, dar permit operarea plăcii Nexys2 de la un pachet de baterii pentru durate de timp extinse.

Curentul total consumat de placă depinde de configurația FPGA-ului, frecvența de tact și conexiunile externe. Pentru un circuit de test cu aproximativ 20k porți rutate, la frecvența de 50MHz și toate LED-urile aprinse, curenți consumați sunt în jur de 200mA de pe sursa de 1,2V, 50mA de pe sursa de 2,5V și 100mA de pe sursa de 3,3V. Curentul cerut va crește dacă circuite mai mari sunt configurate în FPGA și dacă sunt atașate și plăci de extensie.

Placa Nexys2 poate fi alimentată prin intermediul modulelor periferice. De asemenea ea poate furniza tensiune de alimentare acestor module periferice.

Tensiunea provenind de la cablul USB este furnizată direct circuitului USB de pe placă iar restului plăci printr-un comutator electronic (Q1 în schema plăcii). Controlerul USB de pe placă aduce în conducție comutatorul Q1 doar după ce a informat calculatorul gazdă că un curent mai mare de 100mA va fi absorbit prin cablul USB (așa cum cer specificațiile USB). Un port USB de calculator poate furniza un curent de doar 500mA la o tensiune de 5V.

Placa Nexys2 în mod normal consumă un curent în jur de 300mA, astfel rămân cam 200mA disponibili pentru plăci periferice. Dacă plăcile periferice necesită curenți mai mari decât cablu USB poate furniza, trebuie folosită alimentarea plăcii de la o sursă externă de tensiune.

Configurarea FPGA-ului și a memoriei Platform Flash

Pentru ca FPGA-ul de pe placă să poată realiza vreo funcție el trebuie configurat (sau programat) de către utilizator. În timpul configurării un fișier de tip „bit” este transferat în celulele de memorie din FPGA ca să definească funcțiile logice și interconectările circuitelor. Pentru aceasta poate fi folosit software-ul gratuit ISE-WebPack de la Xilinx. Acest software poate crea fișiere de tip „bit” din cod VHDL sau Verilog, precum și din surse de tip schemă electrică.

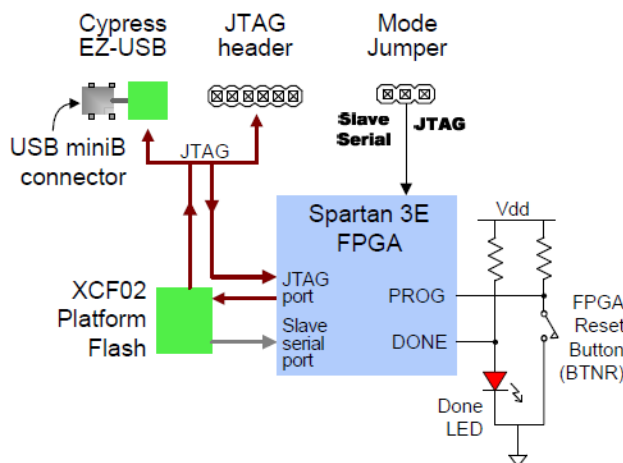


Figura 1.3. Schema de programare a plăcii Nexys2

Circuitul FPGA poate fi programat în două moduri:

- direct de pe un PC folosind portul USB
- de pe memoria ROM de tip Platform Flash ce există pe placă. Această memorie e și ea programabilă de către utilizator via port USB.

Un jumper pe placă determină care sursă (PC sau ROM) să fie folosită de către FPGA pentru configurare. Dacă jumperul Mode este setat pe „Master serial”, la alimentarea plăcii, FPGA-ul, automat, va încărca configurarea din Platform Flash ROM. Dacă jumperul Mode este setat pe „JTAG”, FPGA-ul va aștepta programarea de la PC (via cablu USB).

Programul gratuit de la Digilent, Adept, poate fi folosit pentru configurarea FPGA-ului și a memoriei Platform Flash. Adept folosește cablul USB ca să transfere fișiere de tip bit de la calculator la FPGA sau memoria ROM de tip Platform Flash. După ce FPGA-ul a fost configurat el rămâne în aceeași stare până este resetat de o întrerupere a alimentării sau de apăsarea butonului reset de pe placa (BTBR). Memoria ROM Platform Flash va păstra fișierele de tip bit până este reprogramat, indiferent de căderea sau nu a tensiunii de alimentare.

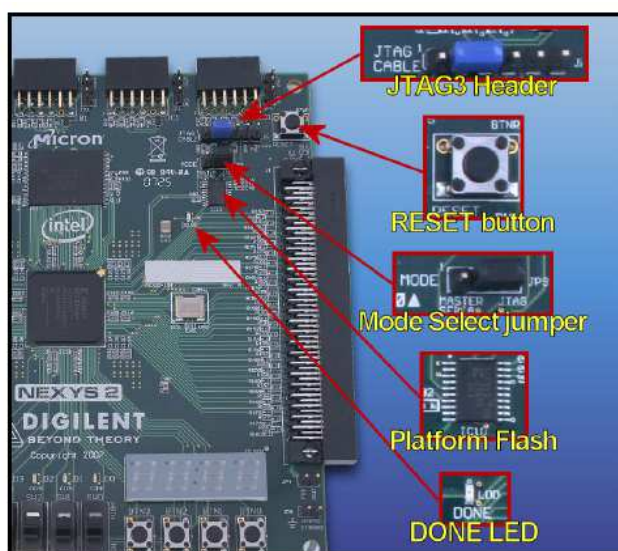


Figura 1.4. Detalii pentru programare

Semnalul de tact

Placa Nexys2 include un oscilator de 50MHz și un soclu pentru un al doilea oscilator. Semnalele de tact de la oscilatoare sunt conectate la pinii de intrare de tact global ai FPGA-ului, astfel încât pot comanda blocurile de sintetizare de frecvență disponibile intern. Blocurile de sintetizare de tact (numite DLL, sau *delay locked loops* – bucle cu calare pe întârziere) asigură capabilități de gestionare a tactului printre care dublarea sau multiplicarea cu 4 a frecvenței de intrare, divizarea frecvenței cu un multiplu întreg și definirea unor relații foarte precise între diverse semnale de tact.

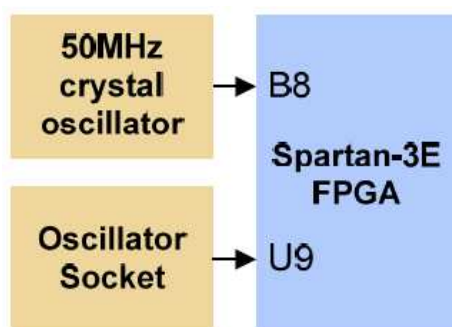


Figura 1.5. Semnalul de tact pentru FPGA

Porturi I/O

Nexys2 include câteva dispozitive de intrare, de ieșire și porturi de date, permițând implementarea multor proiecte fără necesitatea unor componente suplimentare.

Intrări: comutatoare și butoane

Pe placă există patru butoane (de tip push- buton) și opt comutatoare. Intrările asociate butoanelor sunt în stare normală LOW și sunt trase în HIGH doar

când butonul este apăsat. Comutatoarele generează nivele constante LOW sau HIGH dependent de poziția lor. Butoanele și comutatoarele au o rezistență serie cu intrările în FPGA pentru protecție la scurtcircuit (care poate apărea dacă pinul respectiv legat la buton sau comutator este configurat în FPGA ca fiind de tipul ieșire).



Figura 1.6. Dispozitive de intrare/ieșire

Ieșiri: LED-uri

Ca și ieșiri sunt prezente 8 LED-uri. Anodurile LED-urilor sunt comandate de FPGA prin rezistențe serie de 390Ω , astfel că un „1” logic pe pin va determina aprinderea LED-ului cu un curent de 3-4mA. Un al nouălea LED este pe post de indicator de alimentare a plăcii cu tensiune. Al zecelea LED de pe placă indică starea de programare a FPGA-ului.

Ieșire: Afișaj cu 7 segmente

Pe placă există un afișaj cu 7 segmente de patru caractere de tipul cu anod comun. Fiecare caracter este compus din 7 segmente aranjate în structura unei cifre de „8”. Fiecare segment conține un LED. Fiecare segment poate fi iluminat în mod independent, astfel încât pot fi realizate 128 de combinații prin aprinderea unor

segmente și neaprinderea altora. Din aceste 128 de combinații posibile, 10 corespund numerelor zecimale și sunt cele mai utilizate.

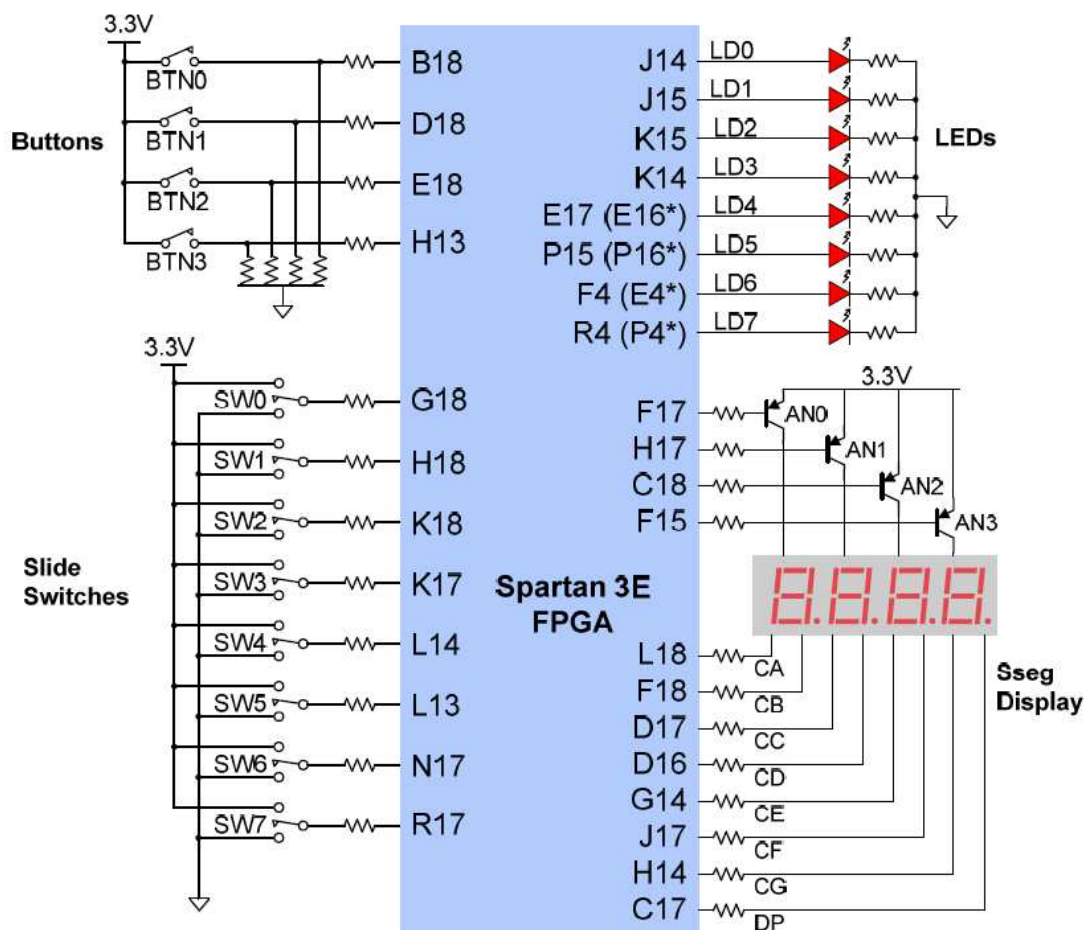


Figura 1.7. Schema circuitelor de intrare/ieșire

Anodurile celor 7 LED-uri ce formează fiecare caracter sunt legate împreună într-un așa numit circuit de „anod comun” dar catodurile LED-urilor rămân separate. Semnalele de anod comun sunt disponibile ca semnale de „activare caracter” pentru afișajul cu 4 caractere. Catodurile segmentelor similare la toate cele 4 caractere sunt conectate într-un circuit cu 7 noduri notate CA până la CG. De exemplu, cele patru catoduri corespunzătoare segmentelor D sunt legate împreună într-un singur nod numit „CD”. Aceste șapte semnale de catod sunt intrări pentru

afișajul cu 4 caractere. Schema de conectare formează un afișaj multiplexat, unde semnalele de catod sunt comune tuturor caracterelor dar ele pot aprinde segmentele doar celui caracter a cărui anod este activat.

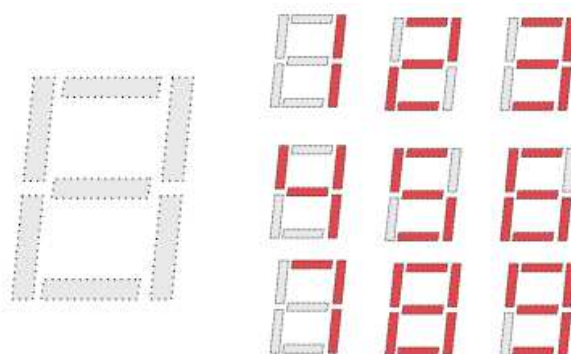


Figura 1.8a. Caracterele zecimale

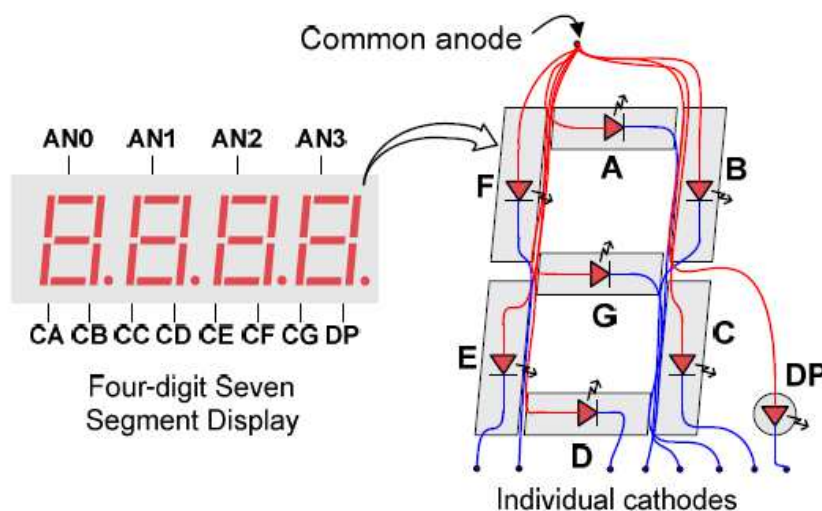


Figura 1.8b. Comanda segmentelor

Un circuit controler de afișaj cu multiplexare poate fi utilizat pentru a afișa un număr de patru cifre pe acest afișaj. Acest circuit comandă semnale de anod și structura de catozi a fiecărui caracter într-o succesiune repetitivă continuă, cu o rată de înprospătare care este mai mare decât ochiul uman poate să detecteze. Fiecare

caracter este iluminat doar un sfert din timp, dar pentru că ochiul uman nu poate percepe stingerea caracterului înainte de a fi aprins din nou, caracterul apare ca și cum ar fi aprins în mod continuu. Dacă rata de înprospătare este încetinită la aproximativ 45Hz, cei mai mulți oameni vor începe să sesizeze că afișajul pâlpâie.

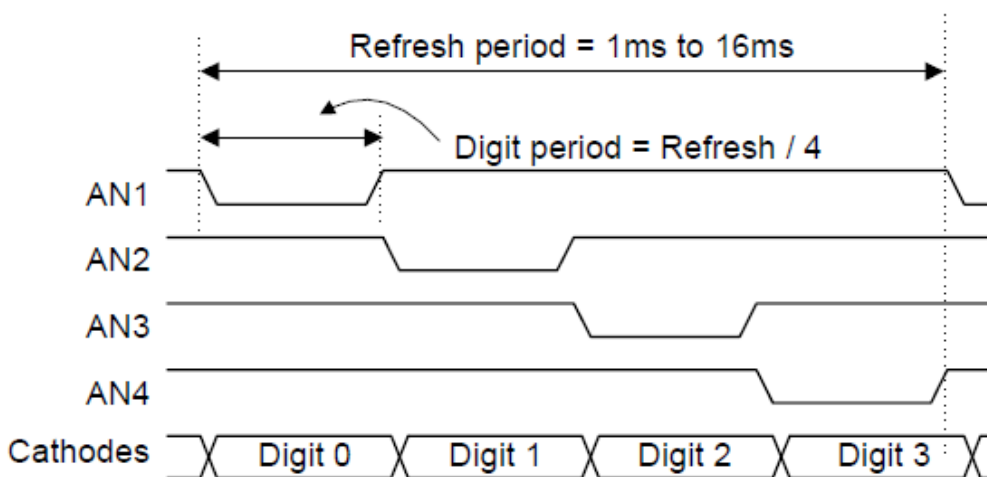


Figura 1.9. Diagrame de timp pentru afișajul multiplexat

Deci, pentru ca fiecare dintre cele patru caractere să apară strălucitoare și aprinse în mod continuu, toate cele patru caractere trebuie să fie comandate la fiecare 1 până la 16ms, pentru o frecvență de înprospătare de 1kHz până la 60Hz. De exemplu într-o aplicație cu rata de înprospătare de 60Hz, întregul afișaj ar trebui reînprospătat odată la 16ms, și fiecare caracter ar trebui să fie aprins pentru $\frac{1}{4}$ din timpul de înprospătare, adică 4ms. Acest controler trebuie să comande catozi cu structura corectă doar când semnalul de anod corespunzător este comandat.

Ca să ilustrăm acest proces, dacă AN0 este activat cât timp CB și CC sunt activate, atunci un „1” va fi afișat pe caracterul din poziția 1. Apoi, dacă AN1 este activat cât timp CA, CB și CC sunt activate, un „7” va fi afișat în poziția 2. Dacă AN0 și CB, CC sunt comandate pentru 4ms, și apoi AN1 și CA, CB, CC sunt comandate pentru 4ms, într-o succesiune fără sfârșit, afișajul va arăta „17” pe primele 2 caractere.